

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-080412

(43)Date of publication of application : 28.03.1997

(51)Int.Cl. G02F 1/1333

G02F 1/136

H01L 21/3065

H01L 29/786

(21)Application number : 07-235027

(71)Applicant : CANON INC

(22)Date of filing : 13.09.1995

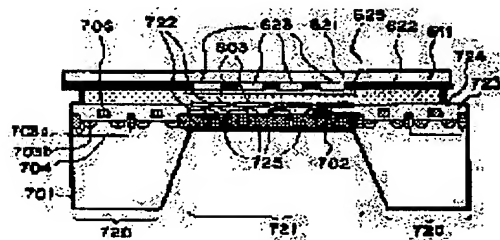
(72)Inventor : SHINDO HISASHI

## (54) MANUFACTURE OF LIQUID CRYSTAL DISPLAY DEVICE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To manufacture a liquid crystal display device capable of displaying a high-pixel and highly accurate picture and having a membrane structure without damaging the surface of pixels.

**SOLUTION:** In this liquid crystal display device, pixel electrodes 603 are arranged corresponding to intersections of plural signal lines and plural scanning lines and driving circuits for driving pixel electrodes 603 are provided at peripheral parts of pixel electrodes 603 and also liquid crystal is held between a semiconductor substrate 701 in which the lower part of pixel display area 721 provided with pixel electrodes 603 are provided is eliminated to make light beams transmittable to pixel display areas 721 and a counter substrate 621 facing with the semiconductor substrate 701. Then, in the manufacturing of the liquid crystal display device, when a mask for eliminating the semiconductor



substrate 701 of the lower parts of the pixel display areas 721 is formed, a protective film 625 consisting of organic resin is formed on the surface on which pixel electrodes 603 of the semiconductor substrate 701 are arranged.

### LEGAL STATUS

[Date of request for examination]

BEST AVAILABLE COPY

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

## [Claim(s)]

[Claim 1] The semi-conductor substrate which the part of the lower part of the pixel viewing area in which said pixel electrode was prepared was removed, and enabled the transparency of light at said pixel viewing area while establishing the drive circuit for arranging a pixel electrode corresponding to the intersection of two or more signal lines and two or more scanning lines, and driving this pixel electrode in the periphery of said pixel electrode, In the manufacture approach of the liquid crystal display which comes to pinch liquid crystal between the opposite substrates which counter this semi-conductor substrate The manufacture approach of the liquid crystal display characterized by forming the protective coat by organic resin in the arrangement side side of said pixel electrode of said semi-conductor substrate when forming the mask for removing said semi-conductor substrate of the part of the lower part of said pixel viewing area.

[Claim 2] The manufacture approach of the liquid crystal display characterized by performing mask formation for forming the part of the lower part of said pixel viewing area in the manufacturing method of the liquid crystal display of claim 1 after depositing the 2nd interlayer insulation film after said pixel electrode formation.

## [Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the manufacture approach of a display of having used liquid crystal, and the manufacture approach of the liquid crystal display using the semi-conductor substrate which especially removed some semi-conductor substrates of non-translucency, and was made into translucency.

[0002]

[Description of the Prior Art] Although a speed of response is sped up, contrast is raised and the video signal display is enabled about the indicating equipment using liquid crystal in recent years, the now more high definition display image has been called for. Meanwhile it is the liquid crystal image display device created on the substrate of non-translucency about the light of a light field in JP,5-273591,A, and the part of the lower part of the liquid crystal pixel display in said substrate is removed, and the new liquid crystal display characterized by enabling the transparency of light in said liquid crystal picture element part is proposed. In the liquid crystal image display device proposed in JP,5-273591,A, since the outstanding active element can be made to a single crystal substrate, the high display image of quality is obtained.

[0003]

[Problem(s) to be Solved by the Invention] However, in JP,5-273591,A, in the proposed liquid crystal image display device, in order to remove some substrates alternatively, it is necessary to form the pattern used as the mask of substrate etching in the rear face (non-component side) of a semi-conductor substrate. In order to set to semiconductor fabrication machines and equipment at this time, to convey the front face (component side) of a semi-conductor substrate and to adsorb, a blemish goes into a component side and it becomes the cause of an electric open circuit, a short circuit, or the orientation defect of liquid crystal.

[0004] The main purpose of this invention is to offer the manufacturing method of the display in which a high pixel and high definition image display are possible. Another purpose of this invention is to offer the manufacturing method of the display which has membrane structure, without putting a blemish into a component side.

[0005]

[Means for Solving the Problem] In order to solve the technical problem mentioned above, it inquires wholeheartedly, and this invention is made and is the thing of the configuration of lower \*\*. That is, a part for a component surface part used as the display of a single crystal silicon substrate is oxidized alternatively, and poly-Si (polycrystalline silicon) TFT (Thin Film Transistor) is formed on a single crystal

substrate according to the usual semi-conductor process on an MOS (Metal Oxide Semiconductor) device and the above-mentioned oxide film. Then, in order for etching to remove the single crystal silicon for a display and to consider as translucency, the mask for etching is formed in a rear face with photolithography and an etching technique. It is characterized by preparing the protective coat by the organic resin film in a component side at the time of said the single crystal etching mask formation.

[0006] According to this invention, when forming a single crystal etching mask in the rear face of a semi-conductor substrate, the display which the conveyance system of semiconductor fabrication machines and equipment or the blemish by adsorption is lost to a component side, consequently can display a quality image can be offered.

[0007]

[Embodiment of the Invention] Hereafter, a drawing is explained to a reference \*\*\*\* detail with each example about the gestalt of operation of this invention. In addition, this invention is not limited by these examples.

[0008] (Example 1) One example of the panel configuration of the display using the liquid crystal display manufactured by this invention is explained first. The mimetic diagram of the liquid crystal display panel of this example is as being shown in drawing 12. In drawing, the perpendicular shift register 303 and the level shift register 304 are connected to the liquid crystal panel display circuit 305 which uses as a switching element poly-Si-TFT (Thin Film Transistor) arranged in the shape of a matrix, and TV picture signal sent from the video signal circuit 301 is written in the pixel in the liquid crystal panel display circuit 305 through the perpendicular shift register 303 and the level shift register 304. 302 is a synchronous circuit for taking the timing of two shift registers 303, 304.

[0009] The equal circuit of this liquid crystal panel display circuit 305 is as being shown in drawing 13. The pixel electrode 406 is arranged corresponding to a two or more signal lines 401a-401d connected to the level shift register 304, and two or more scanning lines [ which were connected to the perpendicular shift register 303 / 402a-402d ] intersection, and the drain of TFT403 is connected to this pixel electrode 406. Signal lines 401a-401d are connected to the source of TFT403, and the scanning lines 402a-402d are connected to the gate, respectively. The video signal from signal lines 401a-401d is written in the pixel electrode 406. The drain of TFT403 is connected also to the retention volume 404 for having held the written-in charge enough for a long time, and an end 405 is already connected to the potential 405 common about all pixels or an every one line writing direction pixel which is the electrode of retention volume 404. Here, although the liquid crystal display of the active-matrix mold which used TFT403 is explained to an example, this invention is not limited to this. This invention can be adapted also for what prepared the MIM component and the PN-junction component corresponding to a signal lines 401a-401d and scanning lines [ 402a-402d ] intersection.

[0010] Drawing 14 is the mimetic diagram having shown the planar structure of the picture element part which has a pixel electrode. One pixel is surrounded by two adjoining signal lines 501a and 501b (it connects with the level shift register 304 of drawing 12), and the two scanning lines 502a and 502b (it connects with the perpendicular shift register 303 of drawing 12). A contact hole 504 connects with signal-line 501a, and the source of TFT503 formed with the polycrystal silicone film sends a signal charge into a drain through two steps of gates. 505 is contact in which a metal electrode 506 is connected to TFT503, and this metal electrode 506 is connected to the transparent pixel electrode 508 of an outer frame through the through hole 507. Moreover, 509 is opening of a light-shielding film and it prevents that an unnecessary light shines upon the TFT503 metallurgy group electrode 506 of the part of the protection-from-light sections other than opening 509 etc.

[0011] Drawing 15 is the sectional view which met the AA' line in drawing 14. In drawing 15, the 400-1200nm thick oxide film 133 and the silicon nitride 132 are allotted on the silicon substrate. On said silicon nitride 132, 10-100nm silicon oxide 202 is formed, and TFT(s) (136 etc.) and the silicon nitride 132 are separated. TFT(s) (136 etc.) have the low concentration n type layer 137 and the high concentration source drain 133 for electric-field relaxation, and these stand face to face against two steps of polish recon electrodes 136 through gate oxide 135. A source electrode and drain electrode 138A consist of the cascade screen of aluminum film 138a and Ti film 138b, and make easy ohmic contact with the pixel electrode 603 in contact with Ti film 138b. A light-shielding film 602 consists of for example, TiN film, and it is separated with the PSG film 601 and separated from source drain electrode 138A with the BPSG film 140 in TFT (136 etc.).

[0012] The laminating of the protective layer 139 is carried out on the above-mentioned light-shielding film 602, the pixel electrode 603 is arranged on it, and 610 is the liquid crystal orientation film, for example, uses the polyimide film. The active-matrix substrate is constituted with the semi-conductor substrate 131 thru/or the orientation film 610 shown in drawing 15. On both sides of the TN liquid

crystal 611, the orientation film 626, the protective coat 625, and the transparent electrode 624 are formed in the opposite substrate 621 side. The color filter 623 using a pigment is formed corresponding to the part in which the light-shielding film 602 is carrying out opening, and the black matrices 622, such as Cr, are established to the protection-from-light section.

[0013] In the above, the structure of a related member, and the actuation and the operation which will be the requisite for this invention were explained to the detail. Hereafter, the part of the lower part of the pixel viewing area which is the rear-face side of the substrate in the part in which the light-shielding film 602 by this invention is carrying out opening is explained to a detail.

[0014] A sectional view including the pixel viewing area and circumference mechanical component of a liquid crystal display panel of this example is shown in drawing 11. In drawing 11, the thick oxide film for the isolation in which 701 has a silicon substrate and 702 has translucency (field oxide), and 703a are the low concentration source drains of an NMOS transistor, and 703b is the high concentration source drain of an NMOS transistor. 704 -- p mold of the N-channel MOS transistor 703 -- a well and 706 are polish recon gate electrodes. The base material with which 720 has a silicon substrate 701, and 721 are the transparent fields where substrate silicon was removed, and are a part (pixel viewing area) used as a panel display, 723 is the silicon oxide layer formed on the silicon substrate 701, 722 is the thin film TFT formed into the silicon oxide layer 723, and 725 is wiring which connects an ITO electrode with a thin film TFT.

[0015] Moreover, the TFT substrate (semi-conductor substrate) shown in drawing 11 is installed in parallel with the opposite substrate 621, and the liquid crystal matter 611 is enclosed among both. The spacer 724 is placed in order to maintain the thickness of the liquid crystal 611 designed in consideration of the optical property of liquid crystal. There is a transparence common [ to all pixels ] electrode 625 common to the pixel of community or a large number in the location which counters the pixel electrode 603, and an electrical potential difference is impressed to liquid crystal. Since this example shows the example of a full color display panel, the color filter 623 which used the color or the pigment for the lower part of the opposite substrate 621 is arranged, and between pixels and a surrounding drive circuit top are shaded by the black matrices 622, such as Cr. Although the liquid crystal of TN (Twist-Nematic) mold is mainly effective as liquid crystal matter 611, a structure top STN (SuperTwist-Nematic) mold, FLC (Ferroelectric Liquid Crystal: a little more than dielectric liquid crystal), PDLC (Polymer-Diffused Liquid Crystal: polymer dispersed liquid crystal), etc. can be used. To use TN, STN, and FLC, it is necessary to prepare the polarizing plate of a crossed Nicol before and after a display. A back light required for a display may be irradiated from the upper part of drawing, or may be irradiated from a lower part.

[0016] (Example 2) Next, the manufacture approach of the TFT substrate in drawing 11 is explained, referring to drawing 1 - drawing 10.

[0017] First, as shown in drawing 1, it is the single crystal silicon substrate 101H<sub>2</sub> / O<sub>2</sub>. In an ambient atmosphere, 700nm silicon oxide 102 is formed on single crystal silicon 101 by making it oxidize thermally at 1000 degrees C. Next, usual photolithography and a usual etching technique remove the place which serves as an NMOS transistor among said silicon oxide 102. A field 103 is formed p well by the ion implantation and heat treatment after that, and a buffer hydrogen fluoride solution removes silicon oxide 102. Then, as shown in drawing 2, field oxide 104 is formed in the component isolation region of a single crystal, and the pixel viewing area in which poly-Si-TFT is formed according to a LOCOS process.

[0018] Next, SiH<sub>4</sub> (silane) and NH<sub>3</sub> (ammonia) are made to react, and the 400nm silicon nitride 105 is made to deposit with a low pressure CVD system, as shown in drawing 3. SiH<sub>4</sub> (silane) and N<sub>2</sub>O (nitrous oxide) were made to react to the upper layer with a low pressure CVD system similarly, and 50nm of silicon oxide 106 was made to deposit on it. Next, after pyrolyzing the silane gas similarly diluted with nitrogen at 600-700 degrees C with the low pressure CVD system and making 50-400nm of polycrystal silicon films 120 deposit as shown in drawing 4, pattern NINGU is carried out and the part 107 used as a source drain field is formed. This is effective in order to prevent disappearance of the two-layer eye polycrystalline silicon 108 by reduction of parasitism resistance of a source drain field, and the over etching at the time of source drain contact hole etching shown in drawing 5.

[0019] Next, the surface natural oxidation film is removed and the polycrystal silicone film 108 of a two-layer eye is made to deposit by the thickness of 50-200nm with a low pressure CVD system, as shown in drawing 5. At this time, the leakage current between the source drains of TFT is controlled, and the thickness of polycrystalline silicon 108 is so desirable that it is thin. In this example, deposition thickness of polycrystalline silicon 108 was set to 80nm in consideration of forming gate oxide by the thickness of 80nm next, and dispersion of a process. As a method of forming gate oxide, after oxidizing elsewhere, the

approach of using the ONO (Oxidized-Nitride Oxide) film which continues and performs nitriding and oxidation, the approach of depositing silicon oxide with a CVD method, etc. are.

[0020] Pattern NINGU is performed and a gate electrode is formed, after making the polycrystalline silicon 109 used as a gate electrode deposit by the thickness of 100-500nm and doping to high concentration, as it is shown in drawing 6, after forming gate oxide. Although Lynn (P) in the inside of a gaseous phase was doped in this example, an ion implantation and the approach of carrying out ion doping are in others about arsenic or Lynn, and a well-known technique can be used suitably. Subsequently, SiH<sub>4</sub> (silane), O<sub>2</sub> (oxygen), and PH<sub>3</sub> (phosphine) were used for material gas, and PSG (Phospho Silicate Glass) was made to deposit by the thickness of 600nm as an interlayer insulation film 110 with an atmospheric pressure CVD system, as shown in drawing 7. As an interlayer insulation film 110, film, such as NSG (Non-Doped Silicate Glass) and BPSG (Boron-Phospho Silicate Glass), can be used for others. Opening of the contact hole was carried out and the aluminum by which silicon was doped 0.5 to 2.0% was made to deposit by the thickness of 600nm by the magnetron sputtering method. The usual semi-conductor and the ingredient used in a TFT process, for example, aluminum alloy, W, Ta, Ti, Cu(s), Cr(s) and Mo, or these silicide can be suitably used as an electrode material.

[0021] In this way, pattern NINGU of the electrode material was carried out, and the aluminum wiring 111 was formed so that it might see to drawing 8. Next, 1000nm of oxidation silicone films is made to deposit by the plasma-CVD method as the 2nd interlayer insulation film 112.

[0022] Then, as shown in drawing 9, cyclized-rubber system resin 113 was applied by the thickness of 3 micrometers as a protective coat at the time of rear-face pattern NINGU on said silicon substrate. What is necessary is not to be limited to the cyclized-rubber system resin of organic resin, and just to satisfy the following engine performance as this protective coat.

(1) It can become the mechanical protection film to the conveyance system or the chuck for immobilization of semiconductor fabrication machines and equipment, and don't make the lower layer produce a blemish.  
(2) Resistance is in the drug solution for the photolithography in a rear face or the drug solution for etching, and dry etching.

(3) When exfoliating a protective coat, it can remove on a substrate and a selection target and don't give a damage to a substrate.

(4) The impurity in resin is the level which does not have a problem in a semi-conductor process.

[0023] As what fulfills the above conditions, phenol novolak resin besides cyclized-rubber system resin, polyimide resin, polyamide resin, etc. are mentioned. Moreover, even if it is things other than this, what is necessary is just resin which fulfills said conditions.

[0024] Next, as shown in drawing 9, after applying a protective coat 113 to a front face (component side), the positive-resist film 114 was applied to the bottom of a silicon substrate on the back in addition to the viewing area, by the double-sided mask aligner, a surface alignment mark and alignment were performed and exposure and development were performed. Then, as shown in drawing 10, the silicon oxide formed of the polish recon film, the silicon nitride, or thermal oxidation formed in the rear face of the part which removes a single crystal substrate by dry etching in order to consider as translucency behind of LP-CVD is removed. After removing a positive resist on the back after that, the cyclized-rubber system resin which is a surface protective coat was removed.

[0025] In this example, although the mask for rear-face \*\*\*\* omission was formed after the interlayer insulation film 112, even if a rear-face \*\*\*\* omission mask formation process is not limited to this location and it performs this invention in the location after the silicon nitride film 15 deposition by the other plasma-CVD method which is after deposition of the interlayer insulation film 110 after gate electrode formation, or a component protective coat, for example etc.; it is satisfactory at all.

[0026] The through hole was formed in the 2nd interlayer insulation film 112 after that, the ITO (Indium Thin Oxide: indium oxide tin) film which is transparent electrode film was deposited by the magnetron sputtering method, and the transparent electrode 115 was formed. Next, as a protective coat 116 of a component, by the plasma-CVD method, after making 270nm of silicon nitrides 116 deposit, the protection-from-light layer 117 was formed in the upper part of the circumference circuit section by [ which carry out back pattern NINGU ] having made the magnetron sputtering method TiN deposit.

[0027] In order to form the liquid crystal display shown in drawing 11 according to the aforementioned process, the formed TFT substrate and the opposite substrate separately created in the upper part were obturated after pouring in lamination and liquid crystal. By immersing the TFT substrate side of the account liquid crystal cell of back to front in TMAH (tetramethylammonium hydroxide), the transparency mold liquid crystal display was produced by etching a single crystal silicon substrate into a mask, and making into translucency the silicon oxide and the silicon nitride by which pattern NINGU of the TFT substrate rear face was carried out.

[0028] By the above approach, as a result of producing the liquid crystal display of 320,000 pixels of display pixel numbers, it became that there is an open circuit of wiring by the blemish at the time of rear-face pattern NINGU or a pixel depended short and a line defect, or no orientation defect of the liquid crystal by the blemish on the pixel of a TFT substrate, and the highly minute liquid crystal display of a quality image was obtained.

[0029]

[Effect of the Invention] According to this invention, the highly minute liquid crystal display of a quality image which does not have an open circuit of wiring by the blemish of the component side by semiconductor fabrication machines and equipment or the pixel depended short and a line defect, or the orientation defect of the liquid crystal by the blemish on the pixel of a TFT substrate at the time of rear-face pattern NINGU is obtained as explained above.

#### [Brief Description of the Drawings]

[Drawing 1] It is the cross section of the TFT manufacture process flow explaining the example 1 of this invention.

[Drawing 2] It is the cross section of the TFT manufacture process flow explaining the example 1 of this invention.

[Drawing 3] It is the cross section of the TFT manufacture process flow explaining the example 1 of this invention.

[Drawing 4] It is the cross section of the TFT manufacture process flow explaining the example 1 of this invention.

[Drawing 5] It is the cross section of the TFT manufacture process flow explaining the example 1 of this invention.

[Drawing 6] It is the cross section of the TFT manufacture process flow explaining the example 1 of this invention.

[Drawing 7] It is the cross section of the TFT manufacture process flow explaining the example 1 of this invention.

[Drawing 8] It is the cross section of the TFT manufacture process flow explaining the example 1 of this invention.

[Drawing 9] It is the cross section of the TFT manufacture process flow explaining the example 1 of this invention.

[Drawing 10] It is the cross section of the TFT manufacture process flow explaining the example 1 of this invention.

[Drawing 11] It is the mimetic diagram showing one example of the display of this invention.

[Drawing 12] It is the mimetic diagram showing one example of the display of this invention.

[Drawing 13] It is one example of the representative circuit schematic of this invention.

[Drawing 14] It is the mimetic diagram showing one example of the picture element part in the display of this invention.

[Drawing 15] It is the mimetic diagram showing one example of a semi-conductor substrate applicable to the display of this invention.

#### [Description of Notations]

102 Silicon Nitride

103 High Concentration Source Drain

104 BPSG Film

105 Gate Oxide

106 Polish Recon Electrode

107 Low Concentration N Type Layer

108 Drain Electrode

301 Video Signal Circuit

303 Perpendicular Shift Register

304 Level Shift Register

305 Liquid Crystal Panel Display Circuit

401,501 Signal line

402,502 Scanning line

601 PSG Film

602 Light-shielding Film

610 Liquid Crystal Orientation Film

622 Black Matrix  
623 Color Filter  
624 Transparent Electrode  
625 Protective Coat  
626 Orientation Film



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平9-80412

(43)公開日 平成9年(1997)3月28日

(51)Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/1333	5 0 5		G 0 2 F 1/1333	5 0 5
1/136	5 0 0		1/136	5 0 0
H 0 1 L 21/3065			H 0 1 L 21/302	A
29/786			29/78	6 1 2 B

審査請求 未請求 請求項の数2 O L (全 7 頁)

(21)出願番号 特願平7-235027

(22)出願日 平成7年(1995)9月13日

(71)出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72)発明者 進藤 寿

東京都大田区下丸子3丁目30番2号 キヤ  
ノン株式会社内

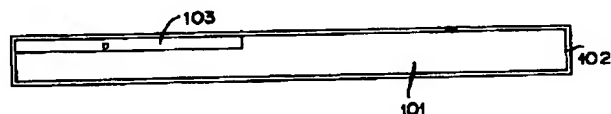
(74)代理人 弁理士 山下 穰平

(54)【発明の名称】 液晶表示装置の製造方法

(57)【要約】

【課題】 高画素、高精細な画像表示が可能な、及び素子面に傷を入れずにメンブレン構造を有する液晶表示装置の製造法を提供することを課題とする。

【解決手段】 複数の信号線と複数の走査線の交点に対応して画素電極を配置し該画素電極を駆動するための駆動回路を前記画素電極の周辺部に設けるとともに前記画素電極が設けられた画素表示領域の下方の部分が除去されて前記画素表示領域に光を透過可能にした半導体基板と、該半導体基板に対向する対向基板との間に液晶を挟持してなる液晶表示装置の製造方法において、上記画素表示領域の下方の部分の上記半導体基板を除去するためのマスクを形成するときに、上記半導体基板の上記画素電極の配置面側に有機樹脂による保護膜を形成することを特徴とする。



## 【特許請求の範囲】

【請求項 1】 複数の信号線と複数の走査線の交点に対応して画素電極を配置し該画素電極を駆動するための駆動回路を前記画素電極の周辺部に設けるとともに前記画素電極が設けられた画素表示領域の下方の部分が除去されて前記画素表示領域に光を透過可能にした半導体基板と、該半導体基板に対向する対向基板との間に液晶を挟持してなる液晶表示装置の製造方法において、前記画素表示領域の下方の部分の前記半導体基板を除去するためのマスクを形成するときに、前記半導体基板の前記画素電極の配置面側に有機樹脂による保護膜を形成することを特徴とする液晶表示装置の製造方法。

【請求項 2】 請求項 1 の液晶表示装置の製造法において、前記画素表示領域の下方の部分形成するためのマスク形成を、前記画素電極形成後の第 2 の層間絶縁膜を堆積した後に行うことを特徴とする液晶表示装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、液晶を用いた表示装置の製造方法、とりわけ非透光性の半導体基板の一部を除去して透光性とした半導体基板を用いた液晶表示装置の製造方法に関する。

## 【0002】

【従来の技術】 近年、液晶を用いた表示装置については、応答速度を速め、コントラストを高めてビデオ信号表示を可能としているが、今や、より高精細な表示画像が求められてきている。こうした中、特開平 5-273591 号公報において可視光領域の光に関して、非透光性の基板上に作成された液晶画像表示装置であって、前記基板における液晶画素表示部の下方の部分が除去されており、前記液晶画素部において光を透過可能にしたことを特徴とする、新規な液晶表示装置が提案されている。特開平 5-273591 号公報において提案されている液晶画像表示装置においては、優れた能動素子を単結晶基板上に作り込むことができるため、品質の高い表示画像が得られる。

## 【0003】

【本発明が解決しようとする課題】 しかしながら、特開平 5-273591 号公報において、提案された液晶画像表示装置においては、基板の一部を選択的に除去するために、半導体基板の裏面（非素子面）に基板エッチングのマスクとなるパターンを形成する必要がある。このとき半導体製造装置において、半導体基板の表面（素子面）を搬送、吸着するため、素子面に傷が入り、電気的な断線、短絡あるいは液晶の配向欠陥の原因となる。

【0004】 本発明の主たる目的は、高画素、高精細な画像表示が可能な表示装置の製造法を提供することにある。本発明の別の目的は、素子面に傷を入れずにメンブレン構造を有する表示装置の製造法を提供することにあ

る。

## 【0005】

【課題を解決するための手段】 本発明は、上述した課題を解決するために、鋭意検討をされてなされたものであり、下述の構成のものである。即ち単結晶シリコン基板の表示部となる素子面部分を選択的に酸化し、通常の半導体プロセスにより単結晶基板上に MOS (Metal Oxide Semiconductor) デバイス及び前述の酸化膜上に poly-Si (多結晶シリコン) TFT (Thin Film Transistor) を形成する。その後、表示部分の単結晶シリコンをエッチングにより除去して透光性とするため、裏面にエッチングのためのマスクをフォトリソグラフィ及びエッチング技術により形成する。その前記単結晶エッチングマスク形成時に、素子面に有機樹脂膜による保護膜を設けることを特徴とする。

【0006】 本発明によれば、半導体基板の裏面に単結晶エッチングマスクを形成するときに、素子面に半導体製造装置の搬送系あるいは吸着による傷が無くなり、その結果、高品質な画像を表示できる表示装置を提供できる。

## 【0007】

【発明の実施の形態】 以下、本発明の実施の形態について、各実施例とともに図面を参照しつつ詳細に説明する。なお、本発明はこれら実施例により限定されるものではない。

【0008】 (実施例 1) 本発明により製造する液晶表示装置を用いた表示装置のパネル構成の 1 例についてまず説明する。本例の液晶表示パネルの模式図は図 12 に示すとおりである。図において、マトリクス状に配置された poly-Si・TFT (Thin Film Transistor) をスイッチング素子とする液晶パネル表示回路 305 には垂直シフトレジスタ 303 及び、水平シフトレジスタ 304 が接続され、ビデオ信号回路 301 より送られる TV 画像信号が垂直シフトレジスタ 303 及び、水平シフトレジスタ 304 を介して、液晶パネル表示回路 305 の中の画素に書き込まれる。302 は 2 つのシフトレジスタ 303、304 のタイミングをとるための同期回路である。

【0009】 この液晶パネル表示回路 305 の等価回路は図 13 に示すとおりである。水平シフトレジスタ 304 に接続された複数の信号線 401a~401d と、垂直シフトレジスタ 303 に接続された複数の走査線 402a~402d の交点に対応して画素電極 406 が配置され、該画素電極 406 には TFT 403 のドレインが接続されている。TFT 403 のソースには信号線 401a~401d が接続され、ゲートには走査線 402a~402d がそれぞれ接続されている。画素電極 406 には信号線 401a~401d からのビデオ信号が書き込まれる。TFT 403 のドレインは、書き込んだ電荷を十分長い間保持するための保持容量 404 にも接続さ

れ、保持容量404の電極の另一端405は全画素、または1行方向づつの画素について共通の電位405に接続される。ここでは、TFT403を用いたアクティブマトリクス型の液晶表示装置を例に説明しているが、本発明は、これに限定されるものではない。本発明は、例えば信号線401a~401dと走査線402a~402dの交点に対応して、MIM素子やPN接合素子を設けたものにも適応可能である。

【0010】図14は、画素電極を有する画素部の平面構造を示した模式図である。1つの画素は隣接する2本の信号線501a、501b（図12の水平シフトレジスタ304に接続される）、及び2本の走査線502a、502b（図12の垂直シフトレジスタ303に接続される）に囲まれている。多結晶シリコン膜で形成されたTFT503のソースはコンタクトホール504により信号線501aと接続され、2段のゲートを介してドレインに信号電荷を送り込む。505はTFT503と金属電極506を結ぶコンタクトであり、この金属電極506はスルーホール507を介して、外枠の透明な画素電極508と結ばれている。また、509は遮光膜の開口部であり、開口部509以外の遮光部の部分のTFT503や金属電極506などに不要な光が当たるのを防止する。

【0011】図15は図14中のAA'線に沿った断面図である。図15においては、シリコン基板上に400~1200nmの厚い酸化膜133、シリコン窒化膜132が配されている。前記シリコン窒化膜132上には10~100nmのシリコン酸化膜202が設けられており、TFT（136など）とシリコン窒化膜132を隔てている。TFT（136など）は電界緩和のため、低濃度n型層137、及び高濃度ソース・ドレイン133を有しており、これらはゲート酸化膜135を介して2段のポリシリコン電極136と対峙している。ソース電極とドレイン電極138aはAl膜138aとTi膜138bの積層膜より成り、Ti膜138bと接触する画素電極603とのオーミック接続を容易にしている。遮光膜602は例えばTiN膜で構成され、ソース・ドレイン電極138aとは、例えばPSG膜601により隔てられ、TFT（136など）とは例えばBPSG膜140により隔てられている。

【0012】上記遮光膜602上には保護層139が積層され、その上に画素電極603が配置され、610は液晶配向膜であり、例えばポリイミド膜を用いる。図15に示した半導体基板131乃至配向膜610を持ってアクティブマトリクス基板が構成されている。TN液晶611を挟んで対向基板621側には配向膜626、保護膜625、透明電極624が設けられている。遮光膜602が開口している部分に対応して例えば顔料を用いたカラーフィルター623が設けられ、遮光部に対してCrなどのブラックマトリクス622が設けられてい

る。

【0013】以上、本発明の前提となる関連部材の構造と動作・作用について詳細に説明した。以下、本発明による遮光膜602が開口している部分における基板の裏面側である画素表示領域の下方の部分について詳細に説明する。

【0014】本実施例の液晶表示パネルの画素表示領域と周辺駆動部を含めた断面図を図11に示す。図11において、701はシリコン基板、702は透光性のある素子分離のための厚い酸化膜（フィールド酸化膜）、703aはNMOSTランジスタの低濃度ソース・ドレインであり、703bはNMOSTランジスタの高濃度ソース・ドレインである。704はN型MOSトランジスタ703のp型ウェル、706はポリシリコンゲート電極である。720はシリコン基板701を有する支持体、721は基板シリコンが除去された透明な領域で、パネル表示部となる部分（画素表示領域）で、723はシリコン基板701上に形成された酸化シリコン層で、722は酸化シリコン層723中に形成された薄膜TFTであり、725は薄膜TFTとITO電極を接続する配線である。

【0015】また、図11に示したTFT基板（半導体基板）は、対向基板621と平行に設置され、両者の間には液晶物質611が封入されている。液晶の光学特性を考慮して設計される液晶611の厚みを維持するためにスペーサー724が置かれている。画素電極603に対向する位置には全部の画素に共通あるいは多数の画素に共通な透明共通電極625があり、液晶に電圧を印加する。本例ではフルカラーの表示パネルの例を示しているので、対向基板621の下部には染料または顔料を用いたカラーフィルター623が配置され、画素間及び周辺の駆動回路にはCrなどのブラックマトリクス622で遮光されている。液晶物質611としては主にTN（Twist-Nematic）型の液晶が有効であるが、構造上STN（SuperTwist-Nematic）型やFLC（Ferroelectric Liquid Crystal：強誘電液晶）、PDLC（Polymer-Diffused Liquid Crystal：高分子分散型液晶）などを用いることができる。TN、STN、FLCを用いる場合は、表示装置の前後に直交ニコルの偏光板を設ける必要がある。表示に必要なバックライトは図の上方から照射しても下方から照射してもよい。

【0016】（実施例2）次に、図11におけるTFT基板の製造方法について、図1~図10を参照しつつ説明する。

【0017】まず、図1に示すように、単結晶シリコン基板101をH<sub>2</sub>/O<sub>2</sub>雰囲気中で、1000℃で熱酸化させることにより700nmのシリコン酸化膜102を単結晶シリコン101上に形成する。次に前記シリコン酸化膜102のうちNMOSTランジスタとなるところを通常のフォトリソグラフィ及びエッチング技術によ

り除去する。その後イオン注入及び、熱処理によりpウェル領域103を形成し、緩衝フッ化水素溶液により、シリコン酸化膜102を除去する。その後、図2に示すように、単結晶の素子分離領域及び、poly-Si・TFTが形成される画素表示領域にLOCOS工程によりフィールド酸化膜104を形成する。

【0018】つぎに、図3に示すように、減圧CVD装置により、SiH<sub>4</sub>（シラン）とNH<sub>3</sub>（アンモニア）を反応させ、400nmのシリコン窒化膜105を堆積させる。その上層に、同じく減圧CVD装置によりSiH<sub>4</sub>（シラン）とN<sub>2</sub>O（亜酸化窒素）を反応させシリコン酸化膜106を50nm堆積させた。次に、図4に示すように、同じく減圧CVD装置により600～700℃で、窒素で希釈したシランガスを熱分解し、多結晶シリコン膜120を50～400nm堆積させた後、パターンニングし、ソース・ドレイン領域となる部分107を形成する。これはソース・ドレイン領域の寄生抵抗の低減と、図5に示すソース・ドレインコンタクトホールエッチング時のオーバーエッチングによる2層目多結晶シリコン108の消失を防止するために有効である。

【0019】次に、図5に示すように、表面の自然酸化膜を除去し、減圧CVD装置により、2層目の多結晶シリコン膜108を50～200nmの厚みで堆積させる。このとき多結晶シリコン108の厚さは薄いほどTFTのソース・ドレイン間のリーク電流が抑制され望ましい。本例では、次にゲート酸化膜を80nmの厚さで形成することと、プロセスのばらつきを考慮して、多結晶シリコン108の堆積膜厚を80nmとした。ゲート酸化膜の形成法としては、他に酸化を行った後に窒化と酸化を連続して行うONO（Oxidized-Nitride Oxide）膜を使用する方法やCVD法によりシリコン酸化膜を堆積する方法などがある。

【0020】ゲート酸化膜を形成した後、図6に示すように、ゲート電極となる多結晶シリコン109を100～500nmの厚みで堆積させ、高濃度にドーピングした後、パターンニングを行い、ゲート電極を形成する。本例では気相中でのリン（P）のドーピングを行ったが、他にも砒素やリンをイオン注入、イオンドーピングする方法があり、周知の技術を適宜用いることができる。次いで、図7に示すように、SiH<sub>4</sub>（シラン）、O<sub>2</sub>（酸素）、PH<sub>3</sub>（ホスフィン）を原料ガスに用いて常圧CVD装置により、層間絶縁膜110としてPSG（Phospho Silicate Glass）を600nmの厚みで堆積させた。層間絶縁膜110としては他にNSG（Non-Doped Silicate Glass）、BPSG（Boron-Phospho Silicate Glass）などの膜を用いることができる。コンタクトホールを開口し、シリコンが0.5～2.0%ドーピングされたアルミニウムをマグネトロンスパッタ法により600nmの厚みで堆積させた。電極材料として通常の半導体、TFTプロセスで使用される材料、例えばAl

合金、W、Ta、Ti、Cu、Cr、Moまたはこれらのシリサイド等は適宜使用できる。

【0021】こうして、図8に見るように、電極材料をパターンニングしてAl配線111を形成した。次に第2の層間絶縁膜112としてプラズマCVD法により、酸化シリコン膜を1000nm堆積させる。

【0022】その後、図9に示すように、前記シリコン基板上に裏面パターンニング時の保護膜として環化ゴム系樹脂113を3μmの厚さで塗布した。この保護膜としては、有機樹脂の環化ゴム系樹脂に限定されるものではなく、以下の性能を満足させるものであればよい。

（1）半導体製造装置の搬送系あるいは固定用チャックに対して機械的保護膜となり得て、その下層に傷を生じさせない。

（2）裏面でのフォトリソグラフィー用の薬液あるいはエッチング用の薬液及びドライエッチングに耐性がある。

（3）保護膜を剥離するときに、下地と選択的に除去でき、下地にダメージを与えない。

（4）樹脂中の不純物が半導体プロセスに問題のないレベルである。

【0023】以上の条件を満たすものとしては環化ゴム系樹脂の他、フェノールノボラック樹脂、ポリイミド樹脂、ポリアミド樹脂等が挙げられる。またこれ以外のものであっても前記条件を満たすような樹脂であればよい。

【0024】次に、図9に示すように、表面（素子面）に保護膜113を塗布した後、裏面のシリコン基板下には表示領域以外にポジ型レジスト膜114を塗布し、両面マスクアライナーにより、表面のアライメントマークと位置合わせを行い、露光、現像を行った。その後、図10に示すように、ドライエッチングにより、後に透光性とするために単結晶基板を除去する部分の裏面にLP-CVDにより形成されたポリシリコン膜、シリコン窒化膜あるいは熱酸化により形成されたシリコン酸化膜を除去する。その後裏面のポジ型レジストを除去した後、表面の保護膜である環化ゴム系樹脂を除去した。

【0025】本実施例においては、裏面くり抜き用マスクの形成を層間絶縁膜112の後に行ったが、本発明は裏面くり抜きマスク形成プロセスがこの位置に限定されるものではなく、それ以外の例えばゲート電極形成後の層間絶縁膜110の堆積後、あるいは素子保護膜であるプラズマCVD法による窒化シリコン膜15堆積後等の位置で行ってもなんら問題ない。

【0026】その後第2の層間絶縁膜112にスルーホールを形成し、マグネトロンスパッタ法により透明電極膜であるITO（Indium Thin Oxide：酸化インジウム錫）膜を堆積し、透明電極115を形成した。次に素子の保護膜116としてプラズマCVD法により、シリコン窒化膜116を270nm堆積させた後、マグネトロ

7

ンスパッタ法 T i N を堆積させた後パターンニングすることにより、周辺回路部の上部に遮光層 117 を形成した。

【0027】前記のプロセスにより、図 11 に示す液晶表示装置を形成するために、形成した T F T 基板とその上部に別途作成した対向基板を貼り合わせ、液晶を注入した後封口した。その後前記液晶セルの T F T 基板側を T M A H (テトラメチルアンモニウムハイドロオキシド) に浸漬する事により、T F T 基板裏面のパターンニングされたシリコン酸化膜、シリコン窒化膜をマスクに単結晶シリコン基板をエッチングし、透光性とする事により、透過型液晶表示装置を作製した。

【0028】以上の方法により、表示画素数 32 万画素の液晶表示装置を作製した結果、裏面パターンニング時の傷による配線の断線あるいはショートによる画素及び線欠陥、あるいは T F T 基板の画素上の傷による液晶の配向欠陥などは皆無となり、高品質な画像の高精細液晶表示装置が得られた。

【0029】

【発明の効果】以上説明したとおり、本発明によれば裏面パターンニング時半導体製造装置による素子面の傷による配線の断線あるいはショートによる画素及び線欠陥、あるいは T F T 基板の画素上の傷による液晶の配向欠陥のない、高品質な画像の高精細液晶表示装置が得られる。

【図面の簡単な説明】

【図 1】本発明の実施例 1 を説明する T F T 製造プロセスフローの断面模式図である。

【図 2】本発明の実施例 1 を説明する T F T 製造プロセスフローの断面模式図である。

【図 3】本発明の実施例 1 を説明する T F T 製造プロセスフローの断面模式図である。

【図 4】本発明の実施例 1 を説明する T F T 製造プロセスフローの断面模式図である。

【図 5】本発明の実施例 1 を説明する T F T 製造プロセスフローの断面模式図である。

【図 6】本発明の実施例 1 を説明する T F T 製造プロセスフローの断面模式図である。

【図 7】本発明の実施例 1 を説明する T F T 製造プロセス\*

8

\* スフローの断面模式図である。

【図 8】本発明の実施例 1 を説明する T F T 製造プロセスフローの断面模式図である。

【図 9】本発明の実施例 1 を説明する T F T 製造プロセスフローの断面模式図である。

【図 10】本発明の実施例 1 を説明する T F T 製造プロセスフローの断面模式図である。

【図 11】本発明の表示装置の 1 例を示す模式図である。

【図 12】本発明の表示装置の 1 例を示す模式図である。

【図 13】本発明の等価回路図の 1 例である。

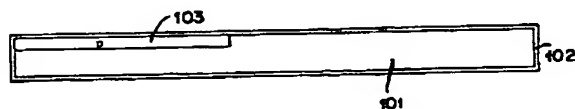
【図 14】本発明の表示装置における画素部の 1 例を示す模式図である。

【図 15】本発明の表示装置に適用可能な半導体基板の 1 例を示す模式図である。

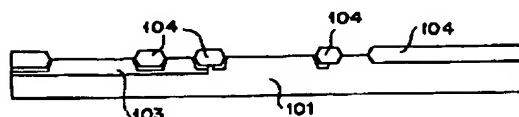
【符号の説明】

- 102 シリコン窒化膜
- 103 高濃度ソース・ドレイン
- 104 B P S G 膜
- 105 ゲート酸化膜
- 106 ポリシリコン電極
- 107 低濃度 n 型層
- 108 ドレイン電極
- 301 ビデオ信号回路
- 303 垂直シフトレジスタ
- 304 水平シフトレジスタ
- 305 液晶パネル表示回路
- 401, 501 信号線
- 402, 502 走査線
- 601 P S G 膜
- 602 遮光膜
- 610 液晶配向膜
- 622 ブラックマトリクス
- 623 カラーフィルター
- 624 透明電極
- 625 保護膜
- 626 配向膜

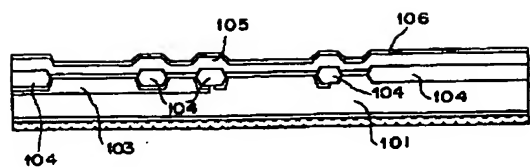
【図 1】



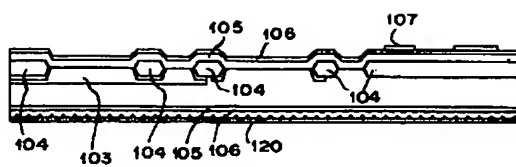
【図 2】



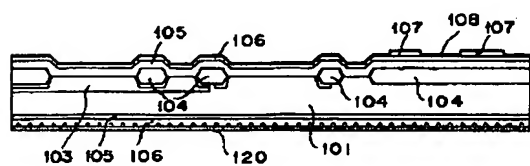
【図3】



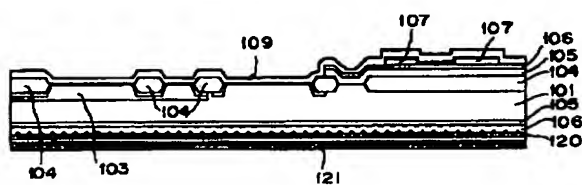
【図4】



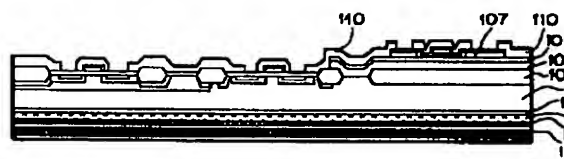
【図5】



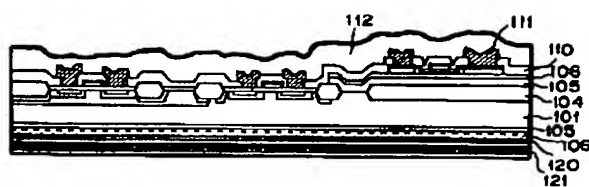
【図6】



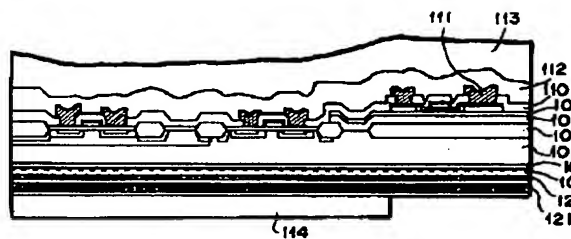
【図7】



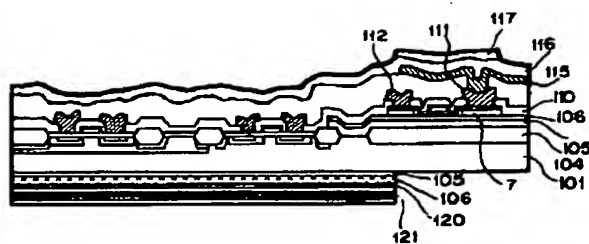
【図8】



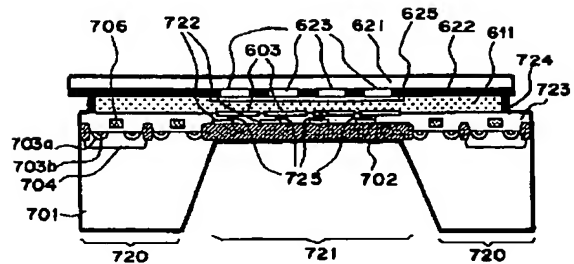
【図9】



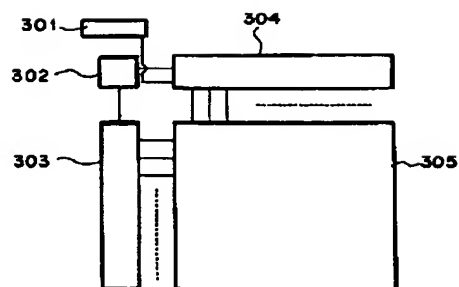
【図10】



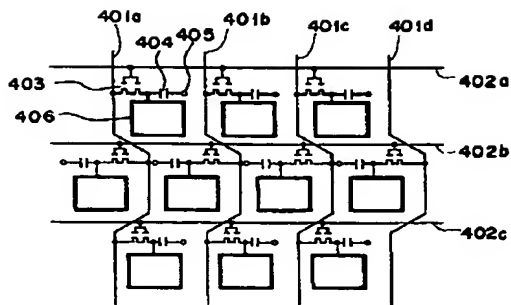
【図11】



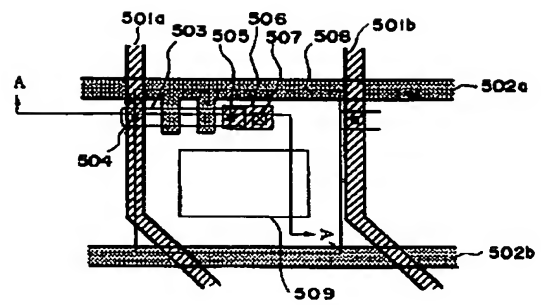
【図12】



【図13】



【図14】



【図15】

